

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61169030 A**(43) Date of publication of application: **30.07.86**

(51) Int. Cl. **H04B 1/16**  
**H03G 3/20**

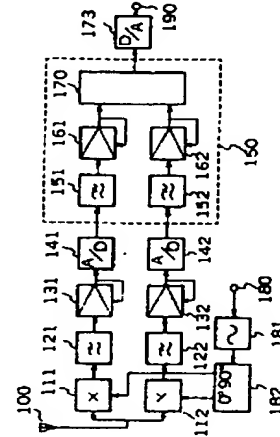
(21) Application number: **60009464**(71) Applicant: **NEC CORP**(22) Date of filing: **22.01.85**(72) Inventor: **AKAIWA YOSHIHIKO**(54) **RECEPTION CIRCUIT**

## (57) Abstract:

**PURPOSE:** To receive efficiently a signal by providing an A/D converting circuit, a digital processing circuit and a D/A converting circuit to a part of a reception circuit to reduce the number of required bits for digital processing even when the dynamic range of the reception signal is large.

**CONSTITUTION:** Two space band signals orthogonal to each other undergo band limit by LPFs 121 and 122 respectively at a band width slightly wider than a half of a channel band. The mean power of the output is made almost to a prescribed value by AGCs 131, 132, subjected to AD conversion 141, 142 and the result is fed to a digital signal processing circuit 150. The digital signals undergo filterings 151, 152 and the AGCs 161, 162, only a signal of a desired channel has a constant average signal power, subject to demodulation processing 170, D/A conversion 173 and a desired reception demodulation signal is outputted 190.

COPYRIGHT: (C)1986,JPO&amp;Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-169030

⑬ Int. Cl.<sup>4</sup>

H 04 B 1/16  
H 03 G 3/20

識別記号

庁内整理番号

Z-6745-5K  
7210-5J

⑭ 公開 昭和61年(1986)7月30日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 受信回路

⑯ 特 願 昭60-9464

⑰ 出 願 昭60(1985)1月22日

⑱ 発 明 者 赤 岩 芳 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 受信回路

特許請求の範囲

周波数軸上で分離された複数の信号チャンネルのうち、任意の一つのチャンネルの信号を受信する受信機において、入力信号を帯域制限する第1のフィルタと、該第1のフィルタの出力信号を入力として出力信号の平均電力を一定に保つ第1の自動利得制御回路と、該第1の自動利得制御回路の出力信号をデジタル値に交換するアナログデジタル変換器と、該アナログデジタル変換器の出力を入力とし、帯域が前記第1のフィルタよりも狭いデジタルフィルタと、該デジタルフィルタの出力を入力として、その出力信号の平均電力を一定に保つ第2の帰還型自動利得制御回路とを有し、該第2の帰還型自動利得制御回路出力を復調して受信出力することを特徴とする受信機。

発明の詳細な説明

(産業上の利用分野)

本発明は周波数軸上の複数のチャンネルのうち、一つを選択して受信する受信機において、受信回路の一部にアナログデジタル(A/D)変換器とデジタル信号処理回路を含む場合の実現を容易にする受信機の構成に関するものである。

(従来技術とその問題点)

無線受信機の小型化およびIC化を計るために、最近ダイレクトコンバージョン方式とデジタルシグナルプロセッサ(DSP)による復調回路を用いたものが提案されている(米国特許 4,470,147)。ダイレクトコンバージョン方式においては、受信搬送波信号を直接ベースバンド帯に周波数変換し、チャンネルフィルタリングはベースバンド帯で行う。そのため、通常のスーパーヘテロダイン方式とは異なりリミッタが使用できず、いわゆる自動利得制御(AGC)回路が必要となる。DSPを使用する場合には、このAGCおよびチャンネルフィルタリングをも、その処理範囲に取り込むことが望ましい。しかし移動通信用の無線受信機などにおいて

は、受信信号レベルのダイナミックレンジが100dB程度と極めて広いために、デジタル信号処理を行うときの所要ビット数が多くなり、DSPの実現が困難になるという問題点が生ずる。

(本発明の目的)

本発明の目的は、受信信号のダイナミックレンジが広い場合にも、デジタル信号処理における所要ビット数を少なくできる受信回路を提供することである。

(発明の構成)

本発明は、入力信号を帯域制限する第1のフィルタと、該第1のフィルタの出力信号を入力として、出力信号の平均電力を一定に保つ第1の自動利得制御回路と、該第1の自動利得制御回路の出力信号をデジタル値に変換するA/D変換器と、該A/D変換器の出力を入力とし、帯域が前記第1のフィルタよりも狭いデジタルフィルタと、該デジタルフィルタの出力を入力として、その出力信号の平均電力を一定に保つ第2の帰還型自動利得制御回路

と、この回路の出力信号を入力として復調する回路とにより構成される。

(本発明の概要)

本発明では、受信搬送波信号をベースバンド帯など低い周波数に周波数変換したのち、アナログデジタル変換してDSPにより信号処理を行う際に、低い周波数のアナログ信号の段階で一旦チャンネルフィルタよりも広いフィルタにより帯域制限し、さらにAGCを行ってからA/D変換を行う。DSPにおいては、まずチャンネルフィルタリングを行い、次に帰還型の自動利得制御を行ってから復調処理を行う。A/D変換に先立つ帯域制限とAGCにより、受信信号のダイナミックレンジをある程度狭くすることができ、したがって、DSPの必要ビット数が下がる。希望波と隣接チャンネル干渉波の分離が十分でないので、DSPによりチャンネルフィルタリングを行う。その後のAGCは、隣接チャンネル干渉波の影響を除くためのものである。AGCを帰還型にすることにより、演算を積と和に

履ることができるので(除算を必要とせず)、DSPによる演算を容易にしている。

(実施例)

本発明の実施例を第1図に示す。受信アンテナに入力された受信搬送波信号は、可変周波数の局部発振器181、90°位相差信号分回回路182、およびミキサ111、112で構成される直交検波器で直交検波され、互いに直交する二つのベースバンド信号が得られる。ここで、局部発振器181の周波数は、受信搬送波周波数にほぼ等しくなるように入力端子180に入力されるチャンネル設定信号により制御される。二つのベースバンド信号はそれぞれ低域通過フィルタ121、122によりチャンネル帯域の半分よりやや広めの帯域で帯域制御される。フィルタ121、122の出力はそれぞれAGC回路131、132に入力され、その出力の平均電力がほぼ一定値になるように制御される。AGC回路131、132の出力はそれぞれA/D変換回路141、142で、サンプルされたデジタル値に変換されたのちDSP 150に入力される。サンプリング周波数はフィルタ121、122の最高周波数

の2倍以上に選ばれる。AGC回路131、132によりA/D変換回路141、142に入力される信号のダイナミックレンジはかなり圧縮されるので、変換した後のデジタル値を表現するビット数、したがってDSPで必要とする数も、AGC回路が無い場合に比べて少なくすることができる。

フィルタ121、122は、A/D変換における折り返し雑音を除くもので、減衰特性はチャンネルフィルタに比べて緩やかなものでよく、その分だけ構成が容易になる。フィルタをアナログ素子で構成するとき、減衰特性が急峻なほど素子数も多く、また素子のパラメータに対する精度も厳しくなるので、この効果は実用上においてはかなり高い価値を有する。しかし、減衰特性がゆるやかなことにより、隣接チャンネル信号の干渉量が大きくなり、AGC回路131、132がこの干渉信号により影響を受けることになる。そのため本発明では、チャンネルフィルタリングをDSP 150内でフィルタ151、152に行ったのち、帰還AGC回路161、162によりAGCをかけている。チャンネルフィルタ151、

152により周波チャネル信号は十分に除去できるので、希望AGC回路161, 162から希望チャネルの信号のみが、その平均信号電力を一定に保たれて出力される。

帰還AGC回路は第2図のように構成できる。入力端子20から入力された信号は可変減衰回路21を通った後、増幅回路22で増幅されて出力端子29に出力される。出力信号の一部は検波回路23により検波され、低域通過フィルタ24の出力には平均信号電力に比例した直流信号が得られる。この直流信号は基準電圧入力端子26から入力される基準信号との益が取られ誤差信号 $V_e$ を発生し、これにより可変減衰回路21を制御する。このような帰還回路を形成することにより、誤差信号が零になるように、したがって、出力電力が一定となるように自動的に制御される。検波回路23は2乗回路として乗算で実現でき、可変減衰回路も乗算によって実現でき、その他の回路も加減算および乗算で実現でき、除算を必要としないのでDSP処理に適している。

AGC回路161, 162の出力は復調処理回路170に入力されて復調が行われる。復調処理は当然変調方式に依存する。その具体的方法は、例えば先に示した米国特許4,470,147に説明されているので、ここでは説明は省略する。復調処理回路170の出力は、デジタルアナログ変換回路73に出力されて、受信復調信号が出力端子190に得られる。

以上の説明では、DSPの内容の動作をブロック図で示したが、実際にはプログラムにより演算が行われるのは当然である。

(発明の効果)

本発明はフィルタおよびAGC回路をDSPの外側と内側に分離することにより、DSPに入力される信号のダイナミックレンジが狭くなり、DSP処理における必要なビット数を少なくすることができる効果がある。本発明の実施例では、ダイレクトコンバージョン方式を例にとったが、他の方式でも同様に効果がある。

図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は帰還AGC回路を示すブロック図である。

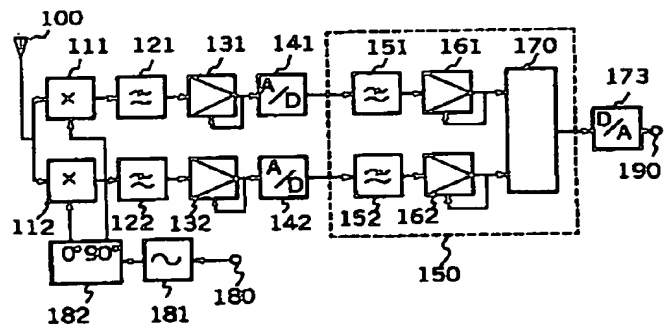
図において

- 100 ..... 受信アンテナ
- 111, 112 ..... ミキサ
- 121, 122, 151, 152, 24 ..... フィルタ
- 131, 132, 161, 162 ..... AGC回路
- 141, 142 ..... アナログデジタル変換回路
- 150 ..... デジタル信号プロセッサ
- 170 ..... 復調処理回路
- 173 ..... デジタルアナログ変換回路
- 180 ..... チャネル設定信号入力端子
- 181 ..... 可変周波数発生器
- 182 ..... 90°位相変換信号分離回路
- 21 ..... 可変減衰回路
- 22 ..... 増幅器
- 23 ..... 検波回路
- 25 ..... 減算回路

である。

代理人 分限士 内 原

図 1 図



150: デジタル信号プロセッサ  
170: 復調処理回路

図 2 図

